https://doi.org/10.22034/jrenew.2026.230392

سال سیزدهم، شماره اول، بهار و تابستان 1405، ص ص 25- 36

فصل‌نامه علمی انرژی‌های تجدیدپذیر و نو

jrenew.ir

Online ISSN 2676-2994 Print ISSN 2423-4931

مقاله پژوهشی

تاریخ دریافت: 1403/08/06

تاریخ پذیرش: 404/06/09

اینورتر 13 سطحی مبتنی بر کلیدزنی خازنی با مدولاسیون شیفت فاز ترکیبی اصلاح شده

حسین منصوری‌زاده[1]، مجید حسین‌پور[2*]، شهاب ساجدی[3]

1- دانشجوی کارشناسی ارشد، الکترونیک قدرت و ماشین‌های الکتریکی، دانشگاه محقق اردبیلی، اردبیل، ایران

2- دانشیار، گروه مهندسی برق، دانشگاه محقق اردبیلی، اردبیل، ایران

3- دکتری، مهندسی برق- قدرت، دانشگاه کالج دوبلین، دوبلین، ایرلند

* اردبیل، صندوق پستی: 56199-13131، hoseinpour.majid@uma.ac.ir

چکیده

در این مقاله یک ساختار جدید برای اینورتر چندسطحی کلیدزنی خازنی با روش کلیدزنی شیفت فاز ترکیبی با هدف کاهش تعداد اجزا و ریپل ولتاژ و جریان شارژ خازن‌ها پیشنهاد شده است. ساختار پیشنهادی ترکیبی از یک واحد کلیدزنی خازنی (SC) و واحد خازن شناور (FC) است. مزایای قابل‌توجه ساختار پیشنهادی شامل کاهش تعداد ادوات، کنترل ساده، قابلیت افزایندگی 3 برابری ولتاژ، کاهش ریپل ولتاژ و جریان هجومی خازن‌ها با مدولاسیون شیفت فاز ترکیبی پیشنهادی است. اعمال مدولاسیون پیشنهادی منجر به کاهش بیشینه دوره دشارژ پیوسته شده و ریپل ولتاژ و جریان هجومی خازن‌ها را کاهش می‌دهد که نهایتاً باعث کاهش موثر تلفات ریپل و هدایتی می‌شود. برای ایجاد 13 سطح از ده کلید، دو دیود و سه خازن استفاده می‌شود. ساختار پیشنهادی با تعداد ادوات کمتر در مقایسه با اینورترهای 13 سطحی دیگر، نیازی به خازن با ولتاژ نامی زیاد ندارد. خازن شناور استفاده شده در ساختار پیشنهادی به طور طبیعی می‌تواند در نصف ولتاژ DC ورودی ($0.5V_{dc}$) به تعادل برسد. به دنبال کنترل ساده در تعادل ولتاژ خازن‌ها، این ساختار تنها به پنج سیگنال کلیدزنی نیاز دارد که منجر به کاهش هزینه کلی سیستم می‌شود. عملکرد مدار، طرح مدولاسیون پیشنهادی، تعادل خودکار خازن‌ها و فرایند شارژ و دشارژ آن‌ها بررسی شده است. پس از آن، مقایسه عددی با اینورترهای 13 سطحی ارائه شده اخیر انجام شده است که مزایای کنترل ساده، مقرون‌به‌صرفه بودن و کاهش ریپل ولتاژ و جریان هجومی خازن‌ها را نشان می‌دهد. در نهایت، برای تأیید صحت عملکرد ساختار پیشنهادی، نتایج شبیه‌سازی ارائه و بررسی شده است.

کلیدواژگان: اینورتر چندسطحی، مدولاسیون ترکیبی، کلیدزنی خازنی، کاهش تعداد ادوات، کاهش جریان هجومی

A 13-level inverter based on switched-capacitor with modified hybrid phase shifted modulation

Hossein Mansorizadeh[1], Majid Hoseinpour[2*], Shahab Sajedi[3]

1- M.Sc student, Department of Electrical Engineering, University of Mohaghegh Ardabili, Ardabil, Iran

2- Associate Professor, Department of Electrical Engineering, University of Mohaghegh Ardabili, Ardabil, Iran

3- PhD, School of Electrical and Electronic Engineering, University College Dublin, Dublin, Ireland

* P.O.B. 56199-13131 Ardabil, Iran, hoseinpour.majid@uma.ac.ir

Received: 27 October 2024 Accepted: 31 August 2025

Abstract

In this paper, a new structure for a multi-level switched-capacitor inverter with a combined phase shift switching method is proposed to reduce the number of components and voltage ripple and charging current of capacitors. The proposed structure combines a switching capacitor unit (SC) and a flying capacitor unit (FC). The significant advantages of the proposed structure include reducing the number of devices, simplifying control, providing voltage boosting capability, and reducing voltage ripple and inrush current of capacitors with the proposed combined phase shift modulation. Applying the proposed modulation leads to the reduction of the maximum continuous discharge period. It reduces the voltage ripple and inrush current of the capacitors, which ultimately causes an effective reduction of the ripple and conductive losses. Ten switches, two diodes, and three capacitors are used to create 13 levels. The proposed structure, which has fewer devices than other 13-level inverters, does not require a capacitor with a high-rated voltage. The flying capacitor used in

Authors retain the copyright and full publishing rights. This article is an open access article licensed under the Creative Commons Attribution 4.0 International (CC BY 4.0)

the proposed structure can naturally be balanced at half of the input DC voltage ($0.5V_{dc}$). Following the simple control of the voltage balance of the capacitors, this structure requires only five switching signals, which reduces the overall system cost. The circuit's performance, the proposed modulation scheme, the capacitors' automatic balancing, and their charging and discharging process have been investigated. After that, a numerical comparison was made with the recently presented 13-level inverters, which show the advantages of simple control, cost-effectiveness, and reduced voltage ripple and inrush current of capacitors. Finally, simulation results are presented and analyzed to verify the validity of the proposed structure.

Keywords: multi-level, hybrid modulation, switched-capacitor, reduced device count, suppressed inrush currents

1- مقدمه

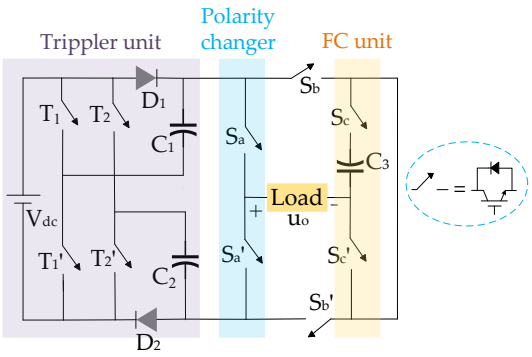
با افزایش تقاضا برای منابع تغذیه با کیفیت بالا در کاربردهای صنعتی، دستیابی به شکل موج تقریباً سینوسی برای ولتاژ خروجی ac بیش‌ازپیش مهم است. از نظر تئوری، یک اینورتر دوسطحی با مدولاسیون پهنای پالس (PWM) و یک فیلتر پایین گذر قادر به ارائه این شکل موج ولتاژ خروجی مطلوب است. بااین‌حال، فرکانس سوئیچینگ بالا و تنش بالای dv/dt پل‌های معکوس به‌کاررفته در اینورتر دوسطحی باعث تلفات سوئیچینگ بیشتر و مشکل تداخل الکترومغناطیسی (EMI) می‌شود [1]. اخیراً، ظهور اینورترهای چندسطحی (MLIs) راه‌حل‌های گسترده‌ای را برای سیستم‌های تبدیل انرژی الکتریکی dc/ac ارائه کرده است. در مقایسه با اینورتر دو سطحی معمولی، ساختار اینورتر چندسطحی دارای مزیت‌هایی مانند بهبود کیفیت شکل موج، فرکانس کلیدزنی پایین، کاهش dv/dt و عملکرد بهتر در مورد تداخل الکترومغناطیسی (EMI) است. این ویژگی‌ها آن را برای منابع انرژی تجدیدپذیر (RES)، وسیله نقلیه الکتریکی (EV) و سایر تولیدات توزیع‌شده ac مناسب می‌سازد [2]-[3]. اخیراً، اینورترهای چندسطحی کلیدزنی خازنی (SCMLI) با کاهش موثر تلفات توان از طریق حذف مدار اضافی افزاینده ولتاژ، نسبت به سیستم تبدیل توان دو مرحله‌ای بسیار محبوب و امیدوارکننده بوده‌اند [4]. مطابق مرجع [5]، ترتیب کلیدزنی در اینورتر چندسطحی کلیدزنی به نحوی است که واحدهای کلیدزنی خازنی به‌گونه‌ای ترکیب شوند که از طریق اتصال موازی با منبع DC ورودی شارژ و از طریق اتصال سری با منبع DC ورودی دشارژ شوند. اینورتر چندسطحی کلیدزنی خازنی در مقایسه با اینورتر چندسطحی متداول از تعداد کمتری از ادوات نیمه‌هادی و منابع DC برای تولید همان تعداد سطوح در ولتاژ خروجی استفاده می‌کند [6]. اینورترهای چندسطحی مبتنی بر کلیدزنی خازنی دارای مزایای تعادل خودکار ولتاژ خازن و قابلیت افزایش ولتاژ بوده و همچنین ساختارهایی انعطاف‌پذیر هستند. اینورتر چندسطحی کلیدزنی خازنی مرجع [7] با استفاده از یک منبع DC به قابلیت افزایش ولتاژ دست می‌یابد. با این وجود، ولتاژ مسدودکنندگی کل (TSV) در این ساختار زیاد است.

با وجود مزایای ذکرشده در اینورترهای چندسطحی کلیدزنی خازنی، کاهش تعداد عناصر، کاهش تنش ولتاژ عناصر اینورتر، کنترل ساده و داشتن بهره مناسب، از موضوعات محبوب در ارائه یک ساختار مناسب بوده است. در این راستا، ساختارهای 13 سطحی در مطالعات اخیر ارائه شده است [8]-[11]. در مراجع [8] و [9] با هدف کاهش بیشینه تنش ولتاژ ادوات و عدم نیاز به خازن با ولتاژ نامی زیاد ارائه شده‌اند. با این حال نسبت به قابلیت افزایندگی 3 برابری، تعداد ادوات زیادی دارند و همچنین به تعداد سیگنال کنترلی مجزای نسبتا زیادی نیاز دارند که باعث پیچیدگی کنترل و افزایش حجم درایور کلید و افزایش هزینه می‌شود. به علاوه، این دو ساختار به چهار خازن نیاز دارند که باعث افزایش تلفات ناشی از ریپل و جریان شارژ می‌شود. ساختار مرجع [10] با هدف کاهش تعداد ادوات و قابلیت افزایندگی 6 برابری ارائه شده است؛ با این حال به دو منبع ورودی مجزا نیاز دارد که باعث افزایش هزینه اینورتر می‌شود. به علاوه به خازن با ولتاژ نامی زیاد نیاز دارد. ساختار 13 سطحی مرجع [11] با هدف افزایندگی بالای ولتاژ و تعداد خازن کم ارائه شده است با این حال این ساختار دارای ادوات زیادی بوده و کنترل پیچیده‌ای دارد. به علاوه در این ساختار خازن با ولتاژ نامی زیاد موردنیاز است.

علاوه بر ارائه ساختار مناسب، محدودسازی بیشینه دوره دشارژ پیوسته (LDP) خازن‌ها به حداقل تعداد سطوح متوالی، از اهمیت ویژه‌ای برخوردار است چرا که با کاهش LDP خازن‌ها، ریپل ولتاژ خازن‌ها کاهش یافته و جریان شارژ نیز محدود می‌شود و نهایتا راندمان اینورتر نیز افزایش می‌یابد. در این راستا، داشتن قابلیت حالات کلیدزنی اضافی (RSS) در ساختار اینورترهای کلیدزنی خازنی مزیت بسیار مهمی محسوب می‌شود. برای استفاده از قابلیت ساختار، با کاهش خازن‌ها، از ترکیب مدولاسیون پهنای پالس شیفت سطحی (LSPWM) و شیفت فاز (PSPWM) در برخی تحقیقات استفاده شده است [12]-[13]. با این حال، با وجود مزیت محدودسازی LDP خازن‌ها در این تحقیقات، از حیث سایر پارامترهای اینورتر، ایرادات مهمی دارند. در این حالت، ساختار 7 سطحی مرجع [12] با استفاده از مدولاسیون شیفت سطح ترکیبی، از حالات کلیدزنی اضافی استفاده کرده است که منجر به کاهش ریپل ولتاژ و جریان شارژ خازن‌ها شده است. با این حال تعداد ادوات آن زیاد بوده و به علاوه نیاز به چهار خازن دارد که باعث افزایش تلفات ریپل خازن و تلفات هدایتی ناشی از شارژ می‌شود. همچنین تعداد سطوح تولیدی آن کم است. ساختار 13 سطحی مرجع [13] با بهره 6 برابری، با استفاده از مدولاسیون شیفت سطحی ترکیبی و با کاهش بیشینه دشارژ پیوسته، ریپل ولتاژ و جریان هجومی را محدود کرده است. با این حال تعداد ادوات آن زیاد بوده و همچنین علاوه بر تعداد سیگنال کنترلی مجزای زیاد، نیازمند خازن با ولتاژ نامی زیاد است. به علاوه حداکثر تنش ولتاژ ($0.5V_{max}$) در 10 نیمه‌هادی وجود دارد. در ضمن، جریان هجومی تنها در دو خازن از سه خازن ساختار محدود شده است.

این مقاله یک ساختار جدید 13 سطحی مبتنی بر کلیدزنی خازنی را ارائه می‌کند (مطابق با شکل 1) که با افزایندگی 3 برابری، نیاز به ادوات کمی داشته و خازن با ولتاژ نامی زیاد در آن استفاده نشده است. همچنین ساختار پیشنهادی دارای قابلیت حالات کلیدزنی اضافی (RSS) در برخی سطوح است که با اعمال مدولاسیون اصلاح‌شده شیفت فاز ترکیبی، LDP خازن‌های واحد کلیدزنی خازنی، به تنها دو سطح متوالی در نیم‌تناوب مثبت و تنها یک سطح در نیم‌تناوب منفی محدود شده است. اعمال مدولاسیون شیفت فاز ترکیبی پیشنهادی به‌صورت مستقیم بیشینه بازه دشارژ پیوسته (LDP) خازن‌ها را کاهش داده و در نتیجه ریپل ولتاژ خازن و جریان شارژ را کاهش می‌دهد. بنابراین تلفات ریپل خازن و نیز تلفات هدایتی ناشی از جریان شارژ نیز کاهش

می‌یابد. عدم نیاز به خازنی با ولتاژ نامی زیاد و نیز محدودسازی LDP خازن‌ها، باعث کاهش مؤثر هزینه خازن‌ها شده است.



شکل 1 ساختار پیشنهادی

از طرفی با داشتن مزیت عناصر کم، هزینه اینورتر و نیز تابع هزینه (CF) آن، مقدار کمینه‌ای نسبت به ساختار مطالعات اخیر حاصل شده است. ساختار پیشنهادی تنها 5 سیگنال کنترلی مجزا نیاز دارد. به علت مزایای ذکرشده، اینورتر پیشنهادی، یک گزینه اقتصادی برای کاربردهای ولتاژ متوسط و راندمان بالا است. از این رو، برای کاربرد تولید پراکنده (DG) مناسب است. همچنین به علت قابلیت افزایندگی سه برابری، برای کاربردهایی نظیر انرژی‌های تجدیدپذیر (RES) و خودروهای برقی (EV) نیز مناسب است.

ساختار بخش‌های بعدی مقاله به شرح زیر است. مدار ساختار پیشنهادی، اصول عملکرد و طرح مدولاسیون پیشنهادی، تحلیل تعادل و طراحی خازن‌ها و تحلیل تنش جریان در بخش دوم توضیح داده شده است، در بخش سوم تلفات بررسی شده است بخش چهارم تجزیه و تحلیل و مطالعه مقایسه‌ای را ارائه می‌کند. نتایج شبیه‌سازی در بخش پنجم تحلیل شده است. در نهایت، نتایج در بخش ششم استخراج شده است.

2- ساختار پیشنهادی

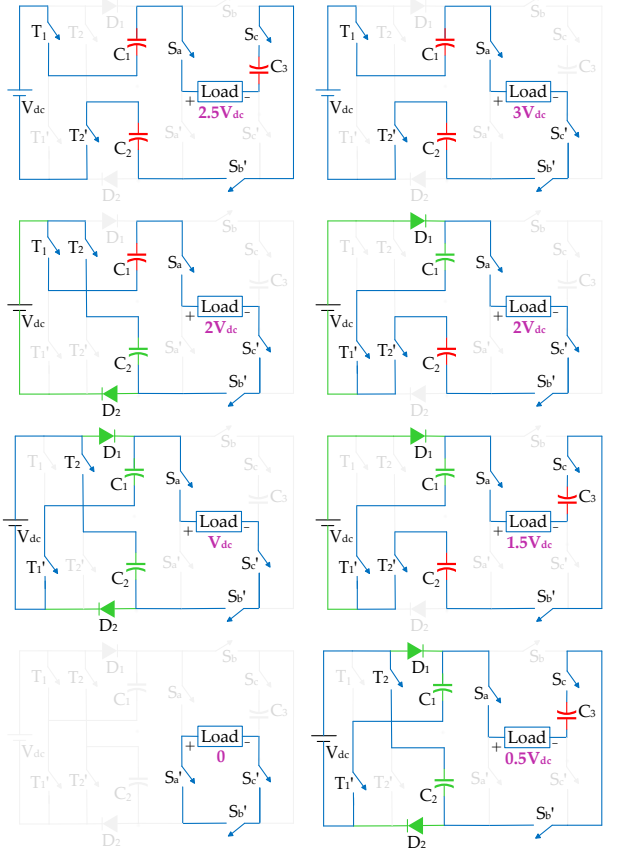
ساختار پیشنهادی مطابق شکل 1 از واحد سه برابرکننده، واحد خازن شناور و واحد تغییر قطبیت تشکیل شده است. این ساختار قابلیت تولید ولتاژ 13 سطحی با ضریب افزایندگی 3 برابری را دارا است.

2-1- اصول عملکردی

برای کلیدزنی و ایجاد 5 سیگنال کنترلی برای تولید پالس کلیدها از شیفت فاز معمولی در ترکیب با شیفت فاز جدید استفاده شده است. در جدول 1 منطق کلیدزنی ساختار پیشنهادی نشان داده شده است. مطابق این جدول، برای تولید ولتاژ $+2V_{dc}$ و $-2.5V_{dc}$ می‌توان دو حالت کلیدزنی اعمال کرد.

جدول 1 منطق کلیدزنی برای تولید سطح مختلف در ساختار پیشنهادی

C_3	C_2	C_1	S_c	S_b	S_a	T_2	T_1	ولتاژ	سطح
N	D	D	0	0	1	0	1	$+3V_{dc}$	+6
D	D	D	1	0	1	0	1	$+2.5V_{dc}$	+5
N	C	D	0	0	1	1	1	$+2V_{dc}$	+4
N	D	C	0	0	1	0	0		
D	D	C	1	0	1	0	0	$+1.5V_{dc}$	+3
N	C	C	0	0	1	1	0	$+V_{dc}$	+2
D	C	C	1	0	1	1	0	$+0.5V_{dc}$	+1
N	N	N	0	0	0	0	1	0	0
C	N	N	1	1	1	0	1	$-0.5V_{dc}$	-1
N	C	C	0	1	0	1	0	$-V_{dc}$	-2
C	C	C	1	1	0	1	0	$-1.5V_{dc}$	-3
N	C	D	0	1	0	1	1	$-2V_{dc}$	-4
C	D	C	1	1	0	0	0	$-2.5V_{dc}$	-5
C	C	D	1	1	0	1	1		
N	D	D	0	1	0	0	1	$-3V_{dc}$	-6



شکل 2 حالات هدایت ادوات در طول نیم تناوب مثبت (رنگ آبی بیانگر مسیر جریان بار و رنگ سبز بیانگر مسیر جریان شارژ خازن است)

شکل 2 عملکرد ساختار پیشنهادی و ادوات فعال در مسیر جریان بار و مسیر جریان شارژ در نیم تناوب مثبت را نشان نشان می‌دهد. با توجه به حالات عملکردی، در سطح ولتاژ $+2V_{dc}$ هر دو خازن C_1 و C_2 شارژ می‌شوند.

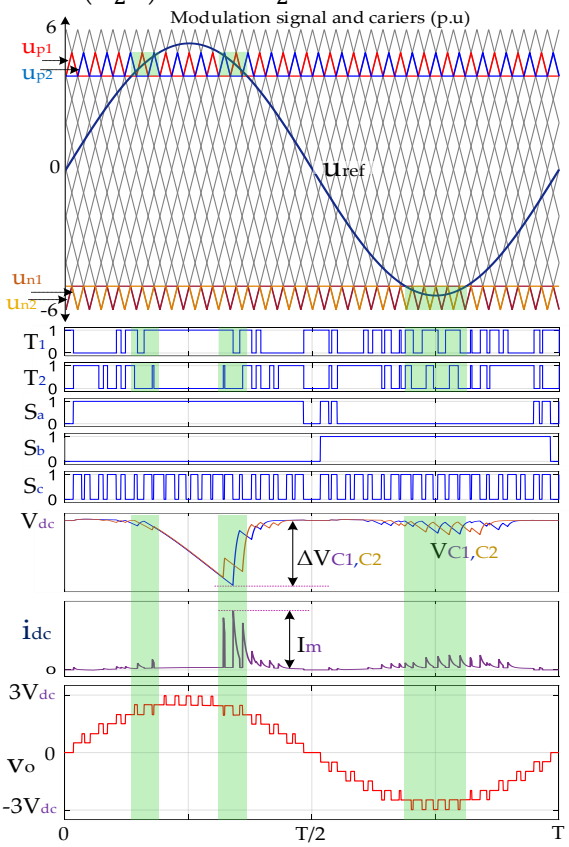
2-2- مدولاسیون ترکیبی پیشنهادی

شکل 3 مدولاسیون شیفت فاز ترکیبی را نشان می‌دهد. کلیدهای S_a و S_b و S_c مستقیما با مدولاسیون شیفت فاز عادی کلیدزنی می‌شوند. اما برای کلیدهای T_1 و T_2 در سطوح دارای حالت‌های جایگزین از مدولاسیون شیفت فاز ترکیبی استفاده شده است. در شکل 3 در بازه کلیدزنی بین سطوح $+2V_{dc}$ و $+2.5V_{dc}$ و کلیدزنی بین $-2.5V_{dc}$ و $-3V_{dc}$ از مدولاسیون شیفت فاز ترکیبی استفاده می‌شود. در اعمال شیفت فاز جدید از 4 سیگنال که بصورت دو به دو، هر کدام با با فرکانس 2 برابر حامل‌های شیفت فاز معمولی و فاز 180 درجه نسبت به هم در محدوده مذکور استفاده می‌شود. سپس سیگنال این دو کلید نیز تعیین می‌شود که می‌تواند از مزایای وجود حالت‌های جایگزین در ساختار پیشنهادی بهره ببرد. اعمال حالات کلیدزنی اضافی باعث کاهش بیشینه دوره دشارژ پیوسته هر دو خازن C_1 و C_2 می‌شود و در نتیجه ریپل ولتاژ خازن‌ها کاهش

یافته و نهایتا منجر به کاهش جریان شارژ می‌شود. برای فرکانس معادل خروجی اینورتر و حامل‌های شیفت فاز معمولی و ترکیبی روابط (1) و (2) برقرار است.

$$f_{sw,inv} = f_{sw,dev} = (k-1) \times f_{cr_PS} \quad (1)$$

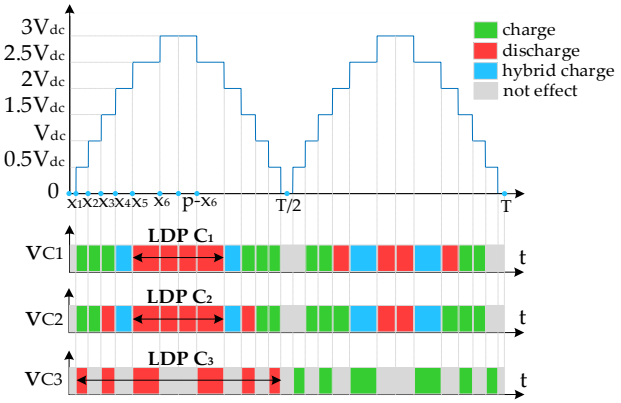
$$f_{cr_HPS} = \left(\frac{k-1}{2}\right) \times f_{cr_PS} = \frac{1}{2} \times f_{sw,inv} \quad (2)$$



شکل 3 مدولاسیون شیفت فاز ترکیبی اصلاح شده

2-3- تعادل ولتاژ خازن‌ها

شکل 4 الگوی شارژ و دشارژ خازن‌ها را نشان می‌دهد. تعادل ولتاژ خازن‌ها مطابق دوره شارژ و دشارژها به طور خودکار تضمین می‌شود. خازن C_3 طی نیم‌تناوب مثبت شارژ و در نیم‌تناوب منفی دشارژ می‌شود که مدت شارژ و دشارژ آن با هم برابر است. برای خازن‌های C_1 و C_2 با شارژ و دشارژهای برابر در هر دوره تناوب، تعادل خودکار برقرار می‌شود. خازن C_3، در سطوح $+V_{dc}/2$، $+3V_{dc}/2$ و $+5V_{dc}/2$ شارژ می‌شود و برعکس، برای بارگذاری در سطوح $-V_{dc}/2$، $-3V_{dc}/2$ و $-5V_{dc}/2$ دشارژ می‌شود. به علت حضور امپدانس بار در مسیر شارژ و دشارژ خازن شناور C_3 این خازن جریان هجومی ندارد. در شکل 4 نواحی شارژ و دشارژ خازن‌ها و همچنین بیشترین بازه دشارژ هر کدام از خازن‌ها مشخص شده است.



شکل 4 الگوی شارژ و دشارژ خازن‌ها در یک دوره تناوب مولفه اصلی

این شکل بر اساس مدولاسیون نزدیک‌ترین سطح (NLM) و معادل حالت پایه در نظر گرفته می‌شود. چرا که در مدولاسیون پهنای پالس (PWM) با وجود فرکانس کلیدزنی بیشتر، بیشینه دشارژ پیوسته نیز کاهش می‌یابد. در مدولاسیون پهنای پالس پیشنهادی، به محض اتمام بازه کلیدزنی مابین دو سطح $+3V_{dc}$ و $+2.5V_{dc}$ فرآیند شارژ ترکیبی خازن‌های C_1 و C_2 انجام شده و به طور کلی بیشینه دوره دشارژ و ریپل ولتاژ خازن محدود شده است.

2-4- تعادل خازن C_3

مطابق شکل 4 جریان بار در نیم تناوب مثبت شامل سطوح $+V_{dc}/2$، $+3V_{dc}/2$ و $+5V_{dc}/2$ مطابق رابطه (3) محاسبه می‌شود.

$$i(\omega t) = \begin{cases} (V_{dc} - V_{C3})/Z_L \ , & x_1 \ll \omega t \le x_2 \\ (2V_{dc} - V_{C3})/Z_L \ , & x_3 \ll \omega t \le x_4 \\ (3V_{dc} - V_{C3})/Z_L \ , & x_5 \ll \omega t \le x_6 \end{cases} \quad (3)$$

مقدار دشارژ کل از تجمیع دشارژهای پیوسته خازن C_3 در یک دوره تناوب مؤلفه اصلی مطابق رابطه (4) محاسبه می‌شود.

$$\Delta Q_{C3(dis)} = \frac{2}{2\pi f_o}\left(\int_{x_1}^{x_2} i(\omega t)d\omega t + \int_{x_3}^{x_4} i(\omega t)d\omega t + \int_{x_5}^{x_6} i(\omega t)d\omega t\right) = \frac{1}{\pi f_o}\left(\frac{V_{dc} - V_{C3}}{Z_L}(x_2 - x_1) + \frac{2V_{dc} - V_{C3}}{Z_L}(x_4 - x_3) + \frac{3V_{dc} - V_{C3}}{Z_L}(x_6 - x_5)\right) \quad (4)$$

جریان خروجی در نیم تناوب منفی شامل سطوح $-V_{dc}/2$، $-3V_{dc}/2$ و $-5V_{dc}/2$ مطابق رابطه (5) قابل محاسبه است.

$$i(\omega t) = \begin{cases} V_{C3}/Z_L\,; & x_1 + \pi \ll \omega t \le x_2 + \pi \\ (V_{dc} + V_{C3})/Z_L\,; & x_3 + \pi \ll \omega t \le x_4 + \pi \\ (2V_{dc} + V_{C3})/Z_L\,; & x_5 + \pi \ll \omega t \le x_6 + \pi \end{cases} \quad (5)$$

مقدار شارژ کل در یک تناوب مؤلفه اصلی مشابه رابطه (4) از مجموع دشارژهای پیوسته در نیم تناوب منفی مطابق رابطه (6) به دست می‌آید.

$$\Delta Q_{C3(ch)} = \frac{1}{\pi f_o}\left(\frac{V_{C3}}{Z_L}(x_2 - x_1) + \frac{V_{dc}+V_{C3}}{Z_L}(x_4 - x_3) + \frac{2V_{dc}+V_{C3}}{Z_L}(x_6 - x_5)\right) \quad (6)$$

نهایتاً مقدار معادل انرژی حاصل از شارژ و دشارژ در یک تناوب مؤلفه اصلی مطابق رابطه (7) محاسبه می‌شود. با توجه به اینکه در حالت تعادل، انرژی معادل ورودی و خروجی در شاخه خازن شناور C_3 برابر هستند، مجموع شارژ و دشارژ کل در یک تناوب مولفه اصلی برابر صفر است. در نتیجه، مطابق قانون تعادل آمپر-ثانیه، ولتاژ خازن C_3 باید در مقدار $+V_{dc}/2$ متعادل شود تا انرژی معادل برابر صفر شده و ولتاژ خازن به تعادل برسد.

$$\Delta Q_{C3} = \Delta Q_{C3(ch)} + \Delta Q_{C3(dis)} = (V_{dc} - 2V_{C3})\left(\frac{x_2 - x_1 + x_4 - x_3 + x_6 - x_5}{\pi f_o Z_L}\right) = 0$$
$$\rightarrow (V_{dc} - 2V_{C3}) = 0 \quad , V_{C3} = \frac{1}{2}V_{dc} \quad (7)$$

2-5- تعیین ظرفیت خازن‌ها

ساختار پیشنهادی سه خازن دارد که می‌توان آن‌ها را در دو بخش شامل خازن‌های واحد سازنده سطح شامل C_1 و C_2 و خازن شناور شامل C_3 تقسیم کرد. در تعیین ظرفیت خازن عواملی مانند میزان بار حاصل از بیشینه دشارژ پیوسته، میزان ریپل ولتاژ خازن، مقدار ولتاژ ورودی، امپدانس بار، شاخص مدولاسیون تاثیر دارند. ظرفیت خازن C_3 مطابق رابطه (8) قابل بیان است.

$$C_3 = \frac{\Delta Q_{C3(dis)}}{\alpha_3 \times 0.5V_{dc}} \quad (8)$$

طبق شکل 4 ظرفیت خازن C_2 مشابه C_1 بوده و با توجه به محدوده دشارژ پیوسته در کلیدزنی مابین سطوح $+2.5V_{dc}$ و $+3V_{dc}$ تعیین می‌شود. نهایتا با رسیدن به سطح شارژ ترکیبی $+2V_{dc}$ فرایند شارژ انجام می‌شود که به علت کلیدزنی ترکیبی، شارژ خالص هر خازن از نیمه سطح $+2V_{dc}$ در نظر گرفته شده است. به علت اعمال شارژ ترکیبی در این سطح، برای دو خازن C_1 و C_2 مطابق شکل 4، در روابط (9) و (10) ابتدا مقدار دشارژ پیوسته محاسبه شده و سپس ظرفیت خازن را طبق آن می‌توان در نظر گرفت.

$$\Delta Q_{C1,C2(dis)} = \int_{x_5}^{\pi - x_5} i_m sin(\omega t - \varphi)\, d\omega t = \frac{i_m}{\pi f_o}[\cos(x_5) \times \cos(\varphi)] \quad (9)$$

$$C_1, C_2 = \frac{\Delta Q_{C1,C2(dis)}}{\alpha_{1,2} \times V_{dc}} = \frac{i_m \times [\cos(x_5) \times \cos(\varphi)]}{\alpha_{1,2} \times V_{dc} \times \pi f_o} \quad (10)$$

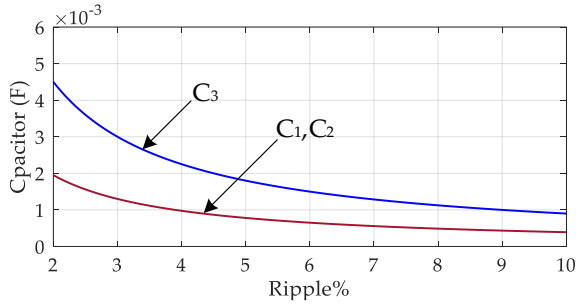
باتوجه‌به روابط فوق حداقل مقدار ظرفیت خازن برای حالت موردنظر به دست می‌آید. همچنین نقاط زمانی تغییر سطوح در شکل 4 مطابق رابطه (11) محاسبه می‌شود.

$$x_{i=1,2,\ldots,6}(i) = \sin^{-1}\left(\frac{2i-1}{12M}\right) \quad (11)$$

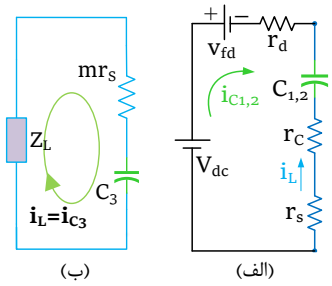
در شکل 5 نمودار ظرفیت موردنیاز خازن‌های ساختار برای ریپل ولتاژ 2 تا 10 درصد رسم شده است. هر چه ولتاژ ورودی بالاتر باشد، توان افزایش می‌یابد. با این حال درصد ریپل ولتاژ یا ظرفیت خازن تغییری نمی‌کند.

2-6- تحلیل تنش جریان شارژ

مسیر شارژ و مقاومت پارازیتی معادل حلقه شارژ خازن‌های ساختار در شکل 6 نشان داده شده است. با در نظر گرفتن اثر مقاومت‌های پارازیتی از جمله ESR خازن‌ها و مقاومت هدایتی ترانزیستورها، هر حلقه شارژ را می‌توان به عنوان یک مدار RC در نظر گرفت.



شکل 5 ظرفیت خازن‌های ساختار پیشنهادی برای درصد ریپل 2 تا 10 درصد



شکل 6 مدار معادل شارژ خازن‌ها، (الف) خازن‌های C_1 و C_2، (ب) خازن C_3

در این شکل‌ها، مسیر آبی رنگ مربوط به مسیر مشترک بار و شارژ خازن است که در محاسبه دقیق‌تر، باعث افت ولتاژ خازن می‌شود. حداکثر جریان شارژی که از حلقه خازن‌های C_1 و C_2 و کلیدهای موجود در این حلقه‌ها می‌گذرد، می‌توان با در نظر گرفتن شکل 6-الف به صورت رابطه (12) ارائه کرد که ΔV_{C1} و ΔV_{C2} ریپل ولتاژ خازن‌های C_1 و C_2 و همچنین R_{C1} و R_{C2} به ترتیب مقاومت پارازیتی کل در حلقه شارژ خازن‌های C_1 و C_2 هستند.

$$I_{C1,C2} = \frac{\Delta V_{C1,C2}}{R_{C1,C2}} = \frac{V_{dc} - V_{C1,C2} - V_{fd} - (r_s + r_C)I_L}{r_s + r_d + r_C} \quad (12)$$

$$I_{C3} \simeq \frac{V_o}{Z_L} \quad (13)$$

به علت اعمال مدولاسیون ترکیبی، بیشینه دوره دشارژ پیوسته خازن‌های C_1 و C_2 محدود به کلیدزنی بین دو سطح $+2.5V_{dc}$ و $+3V_{dc}$ شده است. در نتیجه مطابق رابطه (12) با کاهش مقدار ریپل ولتاژ ناشی از بیشینه دوره دشارژ پیوسته خازن‌ها، حداکثر جریان شارژ خازن‌های C_1 و C_2 کاهش می‌یابد. همچنین حلقه شارژ خازن C_3 در شکل 6-ب و مطابق رابطه (13) بیان شده است. به علت وجود امپدانس بار در مسیر شارژ خازن C_3، می‌توان از

مقاومت‌های پارازیتی صرفنظر کرد. در نتیجه جریان عبوری از این خازن برابر جریان بار بوده و در نتیجه دارای جریان هجومی نیست.

3- روابط تلفات

در ساختار اینورترهای چندسطحی کلیدزنی خازنی تلفات شامل سه نوع تلفات کلیدزنی P_{sw}، تلفات ناشی از ریپل P_{rip} و تلفات هدایتی P_{cond} است. تلفات کل اینورتر مطابق رابطه (14) برابر مجموع این سه نوع تلفات است.

$$P_{Losses} = P_{sw} + P_{rip} + P_{cond} \quad (14)$$

3-1- تلفات کلیدزنی

این نوع تلفات ناشی از تأخیر در روشن و خاموش‌شدن کلیدها است. برای محاسبه تلفات کلیدزنی ناشی از هر کلید، ابتدا تلفات در بازه‌های کلیدزنی بین هر دو سطح متوالی در یک دوره تناوب اصلی مطابق جدول 2 محاسبه می‌شود. در واقع برای هر کلید، خازن C_{oss} در لحظه روشن شدن کلید شارژ می‌شود و در لحظه خاموش شدن دشارژ می‌شود. به علاوه خازن C_{oss} یک مشخصه غیرخطی دارد که با تغییر ولتاژ و جریان کلید تغییر می‌کند. با این‌حال، تلفات کلیدزنی نسبت کوچکی از تلفات توان کل است و بخش بیشتری از تلفات، تلفات هدایتی است. مشخصه ظرفیت خازن C_{oss} از دیتاشیت کلید انتخاب و استفاده می‌شود. همچنین برای سادگی محاسبات می‌توان مشخصه ظرفیت خازن C_{oss} را معادل خطی در نظر گرفت.

جدول 2 تعداد تغییر حالت هر کلید در یک تناوب مولفه اصلی

کلید	تعداد تغییر حالت کلیدها (N_{Si})
S_a, S_a'	$\frac{f_c}{f_o} \times \frac{(x_2 + x_3 - 2x_1)}{\pi}$
S_b, S_b'	$\frac{f_c}{f_o} \times \frac{(x_2 - x_1)}{\pi}$
S_c, S_c'	$\frac{f_c}{f_o}$
T_1, T_1'	$\frac{f_c}{f_o} \times \frac{\left(\frac{\pi}{2} + x_6 - x_5 - 3x_4 + 2x_3 - 2x_1\right)}{2\pi}$
T_2, T_2'	$\frac{f_c}{f_o} \times \frac{\left(\frac{\pi}{2} + x_6 - x_5 + x_4 - 2x_1\right)}{2\pi}$

انرژی و توان تلف شده در هر کدام از کلیدها به ترتیب با استفاده از روابط (15) و (16) محاسبه می‌شود.

$$E_{Si} = \frac{1}{2} C_{oss} {V_{Si}}^2 \quad (15)$$

$$P_{Si} = \frac{1}{2} f_s C_{oss} {V_{Si}}^2 \quad (16)$$

مجموع تلفات کلیدزنی هر کلید در یک دوره تناوب مؤلفه اصلی مطابق رابطه (17) محاسبه می‌شود. همچنین مطابق این رابطه، هر چه فرکانس کلیدزنی و نیز تعداد تغییر حالت کلیدها بیشتر باشد تلفات کلیدزنی بیشتر می‌شود. نهایتا تلفات کلیدزنی کل ناشی از همه کلیدهای ساختار پیشنهادی، از تجمیع تلفات کلیدزنی هر کلید محاسبه می‌شود.

$$P_{Si} = \frac{1}{2} f_o \left(\sum_{k=1}^{N_{Si}} C_{oss} {V_{Si}}^2 \right) \quad (17)$$

3-2- تلفات ریپل ولتاژ خازن

این نوع تلفات حاصل از اختلاف ولتاژ بین مقدار ولتاژ لحظه‌ای و ولتاژ تعادل خازن است و بستگی به ظرفیت خازن، دوره‌های دشارژ پیوسته و فرکانس کلیدزنی دارد. برای محاسبه تلفات ریپل هر خازن، ابتدا مقدار تلفات ریپل ولتاژ ناشی از هر بازه دشارژ پیوسته در یک تناوب مؤلفه اصلی مطابق رابطه (18) محاسبه می‌شود.

$$P_{rip}(m,n) = \frac{f_o}{2} C_m {\Delta V_{Cn}}^2 \quad (18)$$

تلفات ریپل کل از تجمیع تلفات ریپل هر خازن به‌ازای دشارژ ریپل‌های مختلف آن مطابق رابطه (19) محاسبه می‌شود.

$$P_{rip} = f_o \sum_{m=1}^{M=3} \left(\frac{C_m}{2} \sum_{i=1}^{N_n} (\Delta V_{Cm-i})^2 \right) \quad (19)$$

به علت استفاده از کلیدزنی ترکیبی، دوره‌های دشارژ پیوسته خازن‌های C_1 و C_2 مشابه است. درنتیجه، با فرض استفاده از ظرفیت یکسان برای خازن‌های C_1 و C_2، مقدار ریپل ناشی از برای خازن‌های C_1 و C_2 مشابه هم خواهد بود. همچنین تلفات آنها نیز مشابه هم هستند. نهایتا تلفات ریپل کل ساختار پیشنهادی ناشی از تجمیع تلفات ریپل کل خازن‌ها، مطابق با رابطه (20) ساده می‌شود.

$$P_{rip} = f_o \left[\frac{C_1}{2} \sum_{i=1}^{N_1} (\Delta V_{C1-i})^2 + C_2 \sum_{i=1}^{N_2} (\Delta V_{C2-i})^2 \right] \quad (20)$$

3-3- تلفات هدایتی

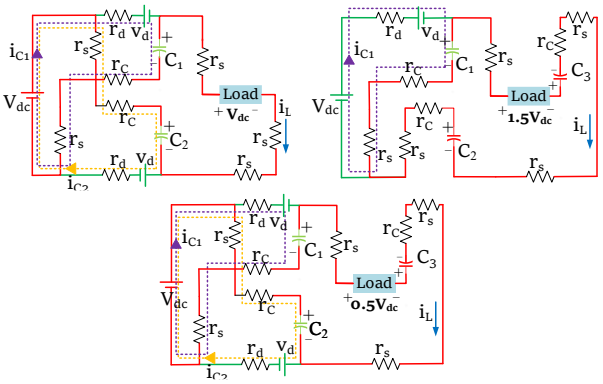
تلفات هدایتی به دلیل پارامترهای پارازیتی ادوات رسانا در مسیر جریان ایجاد می‌شود. تلفات هدایتی در ساختارهای کلیدزنی خازنی به دو بخش تلفات هدایتی ناشی از جریان بار و تلفات هدایتی ناشی از جریان شارژ در حلقه‌های شارژ خازن‌های کلیدزنی خازنی تقسیم می‌شود. عناصر پارازیتی در مسیر جریان بار و یا جریان شارژ شامل مقاومت در حالت روشن کلید (r_s)، مقاومت داخلی دیود (r_d)، افت ولتاژ هدایت دیود (V_d) و مقاومت داخلی خازن (r_c) هستند. ادوات هدایتی در طول ایجاد هر سطح مطابق شکل 7 نشان داده شده است. جدول 3 محاسبه عددی تلفات هدایتی در بازه‌های زمانی کلیدزنی بین هر دو سطح متوالی در نیم تناوب مثبت را نشان می‌دهد. مطابق محاسبات، تلفات هدایتی از دو عامل عبور جریان بار و عبور جریان شارژ از عناصر پارازیتی ناشی می‌شود. در این روابط D_k دوره کاری سطح kام است. از رابطه (21) تلفات هدایتی کل به دست می‌آید

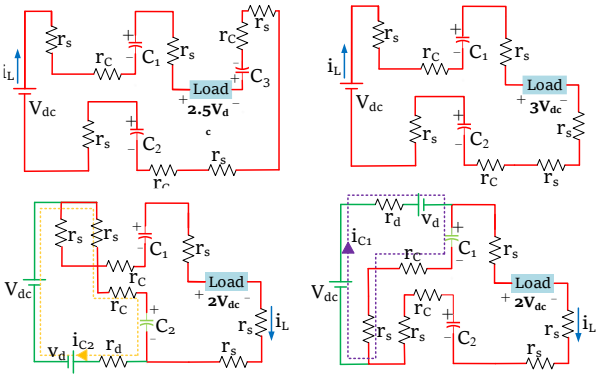
$$P_{cond} = 4 \sum_{i=0,0.5,1,\ldots,2.5} P_{Li,i+0.5}(i) \quad (21)$$

بازده اینورتر پیشنهادی مطابق با رابطه (22) قابل محاسبه است:

$$\eta = \frac{P_{out}}{P_{out} + P_{sw} + P_{rip} + P_{cond}} \quad (22)$$

در رابطه فوق، η بیانگر راندمان اینورتر پیشنهادی بوده و بر حسب واحد است. همچنین P_{out} توان خروجی اینورتر است.

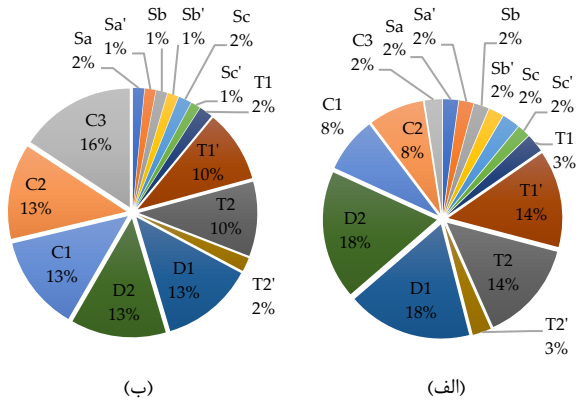




شکل 7 مدار معادل پارازیتی ادوات مدار در طول ایجاد سطوح نیم تناوب مثبت

جدول 3 تلفات هدایتی در طول کلیدزنی هر دو سطح متوالی در نیم تناوب مثبت

سطح کلیدزنی	دوره کاری (D_k)	میانگین تلفات هدایتی مسیر بار در طول هر سطح
$0-0.5$	$D_1 = \frac{6V_{ref}\sin\omega t}{V_{cr}}$	$P_{L0,0.5} = \frac{f_o}{2\pi}\int_{x_1}^{x_2}\left((i_L^2(3r_s+r_C)+(i_{C1}^2+i_{C2}^2)r_d+[(i_L+i_{C1})^2+(i_L+i_{C2})^2](r_s+r_C))D_1\right)d\omega t$
$0.5-1$	$D_2 = \frac{6V_{ref}\sin\omega t}{V_{cr}} - 1$	$P_{L0.5,1} = \frac{f_o}{2\pi}\int_{x_2}^{x_3}\left(\begin{array}{c}(i_L^2(3r_s)+(i_{C1}^2+i_{C2}^2)r_d+[(i_L+i_{C1})^2+(i_L+i_{C2})^2](r_s+r_C))D_2+\\(i_L^2(3r_s+r_C)+(i_{C1}^2+i_{C2}^2)r_d+[(i_L+i_{C1})^2+(i_L+i_{C2})^2](r_s+r_C))(1-D_2)\end{array}\right)d\omega t$
$1-1.5$	$D_3 = \frac{6V_{ref}\sin\omega t}{V_{cr}} - 2$	$P_{L1,1.5} = \frac{f_o}{2\pi}\int_{x_3}^{x_4}\left(\begin{array}{c}i_L^2(5r_s+r_C)+i_{C1}^2r_d+(i_L+i_{C1})^2(r_s+r_C)D_3+\\(i_L^2(3r_s)+(i_{C1}^2+i_{C2}^2)r_d+[(i_L+i_{C1})^2+(i_L+i_{C2})^2](r_s+r_C))(1-D_3)\end{array}\right)d\omega t$
$1.5-2$	$D_4 = \frac{6V_{ref}\sin\omega t}{V_{cr}} - 3$	$P_{L1.5,2} = \frac{f_o}{2\pi}\int_{x_4}^{x_5}\left(\begin{array}{c}\left(i_L^2(4r_s+r_C)+\left[\frac{i_{C1}^2+i_{C2}^2}{2}\right]r_d+\left[\frac{(i_L+i_{C1})^2+(i_L+i_{C2})^2}{2}\right](r_s+r_C)\right)D_4+\\i_L^2(5r_s+r_C)+i_{C1}^2r_d+(i_L+i_{C1})^2(r_s+r_C)(1-D_4)\end{array}\right)d\omega t$
$2-2.5$	$D_5 = \frac{6V_{ref}\sin\omega t}{V_{cr}} - 4$	$P_{L2,2.5} = \frac{f_o}{2\pi}\int_{x_5}^{x_6}\left(\begin{array}{c}i_L^2(5r_s+3r_C)D_5+\\\left(i_L^2(4r_s+r_C)+\left[\frac{i_{C1}^2+i_{C2}^2}{2}\right]r_d+\left[\frac{(i_L+i_{C1})^2+(i_L+i_{C2})^2}{2}\right](r_s+r_C)\right)(1-D_5)\end{array}\right)d\omega t$
$2.5-3$	$D_6 = \frac{6V_{ref}\sin\omega t}{V_{cr}} - 5$	$P_{L2.5,3} = \frac{f_o}{2\pi}\int_{x_6}^{\pi/2}(i_L^2(5r_s+2r_C)D_6+i_L^2(5r_s+3r_C)(1-D_6))d\omega t$



(ب) (الف)

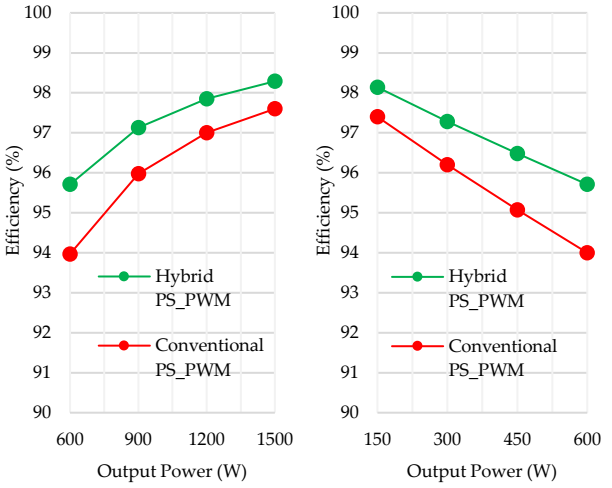
شکل 8 توزیع تلفات در عناصر ساختار پیشنهادی (الف) هدایتی، (ب) تلفات کل

شکل 8 توزیع تلفات توان در عناصر ساختار پیشنهادی را نشان می‌دهد. در این شکل، توزیع تلفات توان در عناصر ساختار پیشنهادی با فرض ولتاژ ورودی 100 ولت و با توان 150 وات محاسبه شده است. در این شکل توزیع تلفات به ازای ظرفیت خازن‌ها با مقادیر $C_1,C_2 = 1500uF$ و $C_3 = 1800uF$ بررسی شده است. مطابق شکل 8-الف درصد تلفات هدایتی بیشتر مربوطه به ادوات هدایتی در حلقه شارژ خازن‌ها است؛ چرا که جریان شارژ از ادوات مذکور عبور می‌کند و موجب تلفات هدایتی شارژ نیز می‌شود. در حالی که از مابقی عناصر ساختار، تنها جریان بار عبور می‌کند در شکل 8-ب توزیع تلفات کل حاصل از تجمیع تلفات کلیدزنی، هدایتی و ریپل در ادوات ساختار پیشنهادی نشان داده شده است. مطابق این شکل، درصد تلفات ادواتی که در حلقه شارژ خازن‌ها قرار دارند بیشتر از سایر ادوات ساختار است.

راندمان اینورتر پیشنهادی تحت دو نوع مدولاسیون مختلف در شکل 9 نشان داده شده است. شکل 9-الف نمودار بازدهی ساختار پیشنهادی با ولتاژ ورودی ثابت V_{dc}=100V را نشان می‌دهد. در این منحنی، با کاهش امپدانس

3-4- نتایج تلفات و راندمان مبدل

بار، جریان افزایش یافته است و در نتیجه برای توان 150 تا 600 وات بازدهی با اعمال هر دو روش مدولاسیون شامل شیفت فاز ترکیبی اصلاح‌شده پیشنهادی (HPS_PWM) و شیفت فاز معمولی (CPS_PWM) اندازه‌گیری شده است. مطابق این شکل، با افزایش جریان بار، بازدهی اینورتر کاهش می‌یابد. این امر ناشی از افزایش جریان بار و افزایش ریپل ولتاژ خازن است. همچنین در روش شیفت فاز ترکیبی پیشنهادی، به علت کاهش بیشینه دشارژ پیوسته، جریان شارژ و ریپل ولتاژ نیز کاهش می‌یابد و نهایتا منجر به تلفات ریپل و تلفات هدایتی ناشی از جریان شارژ کمتری می‌شود. در نتیجه راندمان در روش مدولاسیون پیشنهادی مقدار بیشتری نسبت به مدولاسیون مرسوم حاصل شده است. شکل 9-ب نمودار بازدهی ساختار پیشنهادی با جریان بار ثابت I_L=4.5A را نشان می‌دهد. در این منحنی، با افزایش مقدار ولتاژ ورودی توان خروجی افزایش یافته است و بازدهی برای محدوده توان 600 تا 1500 وات با اعمال هر دو روش مدولاسیون شامل شیفت فاز ترکیبی و شیفت فاز معمولی اندازه‌گیری شده است. مطابق این شکل، با افزایش ولتاژ، بازدهی مبدل افزایش می‌یابد. به علاوه با اعمال روش مدولاسیون پیشنهادی، راندمان نسبت به مدولاسیون معمولی مقدار بیشتری حاصل شده است.



شکل 9 نمودار بازدهی توان ساختار پیشنهادی. الف) با فرض ولتاژ ورودی ثابت I_L=4.5A، ب) با فرض جریان بار ثابت V_{dc}=100V

جدول 4 ارزیابی مقایسه‌ای ساختار پیشنهادی با ساختارهای 13 سطحی اخیر

ساختار	N_{DC}	N_{SW}	N_{Dr}	N_{DD}	N_C	N_{Co}	B	MBV_{pu}	TSV_{pu}	N_{MBV}	MCV_{pu}	TCV_{pu}	Modulation	LDP_{SC}	N_{LDP}	Limit I_{Cmax}	CF (α=0.5)	CF (α=1)
[8]	1	12	11	4	4	10	3	0.66	5.67	2	0.33	1	LS-PWM	4	1	✓	2.65	2.82
[9]	2	14	14	2	4	11	3	0.5	6.50	4	0.17	0.66	NLC	3	2	✓	5.75	6.23
[10]	2	11	10	1	1	6	2	1	6.33	4	0.5	0.5	NLC	3	2	×	4.02	4.51
[11]	1	13	13	2	3	7	6	1	6.67	4	0.5	1	NLC	4	2	×	2.64	2.90
[13]	1	12	12	4	3	8	6	0.5	6.00	10	0.5	0.83	HLS-PWM	3	2	✓	2.62	2.85
[14]	1	14	14	1	3	10	6	0.5	5.67	9	0.5	1	LS-PWM	3	2	×	2.66	2.91
[15]	2	8	8	8	4	7	3	1	7.50	4	0.33	1	NLC	2	2	✓	4.65	5.02
[16]	2	16	16	2	4	9	6	1	6.00	4	0.17	0.66	NLC	3	1	×	6.31	6.77
[17]	1	15	19	0	3	12	6	0.5	7.13	4	0.33	0.83	NLC	3	2	✓	2.73	2.85
[18]	1	13	14	1	3	10	3	0.66	5.67	2	0.33	0.83	LS-PWM	3	1	×	2.45	2.59
[19]	1	15	15	0	3	11	6	0.5	5.00	4	0.33	0.83	LS-PWM	4	2	×	2.73	2.85
[20]	1	13	13	3	3	10	3	0.5	5.50	4	0.33	0.67	LS-PWM	4	1	×	2.70	2.93
[21]	1	13	13	3	4	7	6	1	7.00	2	0.5	1.5	LS-PWM	3	1	✓	2.75	2.98
[22]	1	13	13	2	3	9	6	0.5	5.83	9	0.5	1	LS-PWM	3	2	×	2.60	2.83
[23]	1	12	11	0	4	7	1.5	1	6.00	2	0.33	1	LS-PWM	3	1	×	2.39	2.61
پیشنهادی	1	10	10	2	3	5	3	1	6.33	4	0.33	0.83	HPS-PWM	2	1	✓	2.16	2.41

تعداد منابع ولتاژ (N_{DC}) – تعداد کلیدها (N_{SW}) – تعداد درایور (N_{Dr}) – تعداد دیودها (N_{DD}) - تعداد خازن‌ها (N_C) –تعداد سیگنال کنترل (N_{Co}) – ضریب بهره (B) – بیشینه تنش ولتاژ کلیدها بر حسب پریونیت (MBV_{pu}) – ولتاژ مسدودکنندگی کل بر حسب پریونیت (TSV_{pu}) – تعداد ادوات با بیشینه تنش ولتاژ (N_{MBV}) – حداکثر ولتاژ نامی خازن‌های ساختار پریونیت (MCV_{pu})– مجموع سطح ولتاژ نامی خازن‌ها پریونیت (TCV_{pu}) – روش مدولاسیون (Modulation) - بیشینه دوره دشارژ پیوسته خازن‌های واحد کلیدزنی خازنی (LDP_{SC}) – تعداد تکرار در یک دوره تناوب اصلی (N_{LDP}) – محدودسازی جریان هجومی شارژ (I_{Cmax}) - تابع هزینه (CF)

4- مقایسه با ساختارهای اخیر

مقایسه ساختار پیشنهادی با ساختارهای مراجع که مربوط که مطالعات چند سال اخیر هستند، در جدول 4 ارائه شده است. ساختار مرجع [8] با وجود بهره 3 برابری، دارای ادوات زیادی است و نیاز به 4 خازن دارد. ساختار مراجع [9] و [16] علاوه بر ادوات زیاد، نیاز به دو منبع ورودی دارند که باعث هزینه زیاد می‌شود. ساختار مراجع [9]، [14]، [16]، [17] و [19] در مقایسه با سایر ساختارهای 13 سطحی دارای ادوات زیادی هستند که نهاتیا منجر به هزینه زیاد و کنترل پیچیده‌تر می‌شود. مراجع [10] و [15] نیز با وجود تعداد ادوات مناسب، از دو منبع استفاده می‌کنند که عملا مزیت مهم تک منبعی را ندارند. ساختار مراجع [8]، [9]، [14] و [17]-[20] به 10 سیگنال کنترلی مجزا یا بیشتر نیاز دارند که باعث کنترل پیچیده‌تر و افزایش حجم درایور کلید می‌شود و هزینه کلی اینورتر افزایش می‌یابد. مراجع [10]-[14]، [19]، [21] و [22] دارای خازن با ولتاژ نامی زیاد هستند که منجر به تلفات ریپل و هدایتی بیشتر شده و نیز هزینه بیشتری دارد. ساختار مراجع [13]، [14]، [19] و [22] با

وجود محدود کردن بیشینه تنش ولتاژ ادوات (MBV_{pu}) به نصف حداکثر ولتاژ بیشینه ($0.5V_{max}$)، در تعداد 9 یا 10 تجهیز آنها این مقدار بیشینه تنش ولتاژ وجود دارد که تعداد زیادی است (N_{MBV}=9یا10). همچنین ساختار مرجع [23] دارای تعداد کلید قدرت زیادی بوده و نیاز به چهار خازن دارد که باعث افزایش تلفات نیز می‌شود.

ریپل ولتاژ خازن‌ها، جریان هجومی، تلفات اینورتر و ظرفیت موردنیاز خازن از پارامترهای مهم در تعیین اینورتر مناسب در حیطه کلیدزنی خازنی هستند. در این راستا، در جدول 4، روش مدولاسیون مورداستفاده (Modulation)، بیشینه دوره دشارژ پیوسته (LDP)، تعداد تکرار LDP و قابلیت محدودسازی جریان هجومی (I_{Cmax}) برای اینورترهای مختلف مقایسه شده است. در ساختار پیشنهادی، به دلیل وجود حالات کلیدزنی اضافی (RSS)، از مدولاسیون شیفت فاز ترکیبی (HPS-PWM) استفاده شده است که در نتیجه آن، LDP خازن‌های واحد کلیدزین خازنی به تنها دو سطح متوالی بدون تکرار در یک دوره تناوب (N_{LDP}=1) محدود شده است و مزیت محدودسازی جریان هجومی (I_{Cmax}) را نیز به همراه دارد. با این حال، در ساختار کل مراجع موردمقایسه به مرجع [15]، LDP خازن‌ها بیش از دو سطح متوالی است. مرجع [15] نیز به دو منبع ولتاژ ورودی نیاز دارد (N_{DC}=2) و کاهش LDP آن به همین دلیل است و هزینه زیادی دارد. همچنین تعداد تکرار بیشینه دوره دشارژ پیوسته (N_{LDP}) در مراجع [9]-[15]، [17]، [19] و [22] برابر دو تکرار است که منجر به افزایش تلفات و افت ولتاژ خازن می‌شود. مطابق جدول 4، تابع هزینه (*CF*) برای ساختارهای مقایسه‌ای محاسبه شده است که مطابق رابطه (23) تعریف می‌شود [24]. مقدار تابع هزینه مطابق رابطه (23) محاسبه می‌شود.

$$CF = \left(N_{SW} + N_{Dr} + N_{DD} + N_C + \alpha TSV_{pu}\right).N_{DC}/N_{Level} \quad (23)$$

مقادیر تابع هزینه با فرض دو مقدار α=0.5 و α=1 در دو ستون آخر جدول 4 برای ساختارهای مورد مقایسه، محاسبه شده است. ساختار پیشنهادی دارای کمترین مقدار تابع هزینه نسبت به سایر ساختارهای مورد مقایسه است.

5- نتایج شبیه‌سازی

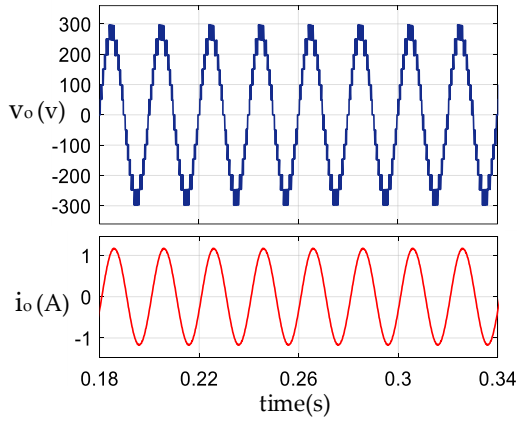
ساختار پیشنهادی با اعمال مدولاسیون ترکیبی در محیط سیمولینک نرم‌افزار متلب شبیه‌سازی‌شده است. مقادیر پارامترهای مورداستفاده مطابق جدول 5 است. نتایج در حالت عملکرد پایدار و پویا بررسی شده است. همچنین تأثیر کلیدزنی ترکیبی بر ولتاژ و جریان خازن‌ها مورد بررسی قرار گرفته است. توان نمونه شبیه‌سازی شده مطابق نمونه مدل تجربی 150 وات است و مقادیر پارامترها برای مقایسه و تحلیل بهتر، مشابه هم در نظر گرفته شده است.

جدول 5 مقادیر پارامترها

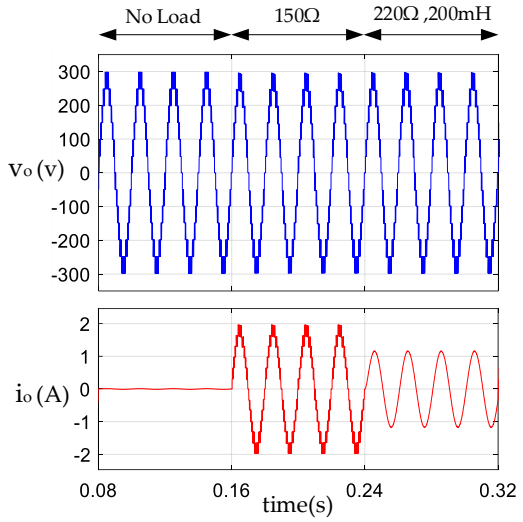
پارامترها	مقادیر
فرکانس پایه	50 Hz
فرکانس کلیدزنی اینورتر	2100 Hz
ولتاژ ورودی	100 V
اندیس مدولاسیون	0.9
ظرفیت خازن‌های C_1 و C_2	1500 uF
ظرفیت خازن C_3	1800 uF
مقاومت هدایت ادوات	45 mΩ
بار اهمی- سلفی	220 Ω ,200 mH
بار اهمی	150 Ω

ولتاژ و جریان دو سر بار مطابق شکل **10** برای **8** دوره تناوب مؤلفه اصلی نشان‌داده‌شده است. مشاهده می‌شود که ولتاژ خروجی **13** سطحی با گام **50** ولت و بیشینه مقدار **300** ولت به‌درستی ایجاد می‌شوند. همچنین افزایندگی سه برابری ولتاژ در ساختار پیشنهادی تأیید می‌شود. در این شکل از بار اهمی-سلفی استفاده شده است، جریان بار نیز مقدار بیشینه **1/2** آمپر دارد. به‌علاوه اختلاف‌فاز جزئی مابین ولتاژ و جریان بار به علت اهمی-سلفی بودن بار مشاهده می‌شود. در حالت کلی، با افزایش درصد امپدانس ناشی از سلف در بار خروجی به‌صورت مؤثر، ریپل ولتاژ خازن‌ها نیز کاهش می‌یابد. هر چند در مورد خازن C_3، ریپل ولتاژ تغییر نمی‌کند چرا که این خازن در نیم تناوب شارژ و در نیم تناوب دشارژ می‌شود و با تغییر زاویه ولتاژ و جریان بار، مطابق شکل **4**، مساحت زیر نمودار جریان در بازه بیشینه دشارژ پیوسته ثابت می‌ماند و نهایتاً ریپل ولتاژ نیز برای خازن C_3 برای بارهای مختلف تقریباً ثابت است.

تحلیل عملکرد اینورتر با بررسی ولتاژ و جریان خروجی با تغییر بار به‌صورت پویا از حالت بی‌باری به اهمی خالص و نیز از اهمی خالص به بار اهمی-سلفی در شکل **11** انجام شده است. ابتدا در حالت بی‌باری، جریان بار صفر است و **13**سطح در ولتاژ خروجی تولید می‌شود. سپس با تغییر بار به اهمی خالص با مقدار 150Ω، جریان بار مشابه سطوح ولتاژ خروجی با حداکثر مقدار 2 آمپر تولید می‌شوند. نهایتاً با اتصال به بار اهمی-سلفی با مقدار 220Ω +200 mH، شکل موج جریان بار به سینوسی تبدیل شده و دارای مقداری اختلاف‌فاز با ولتاژ می‌شود که در این حالت حداکثر جریان بار 1/2 آمپر است. به‌صورت کلی با افزایش درصد امپدانس سلف در بار، ریپل ولتاژ خازن‌ها کاهش‌یافته و کیفیت ولتاژ خروجی افزایش می‌یابد. نهایتاً نتیجه می‌شود که سطوح ولتاژ در حالت بار پویا نیز به‌درستی و بدون ایراد ایجاد می‌شوند.



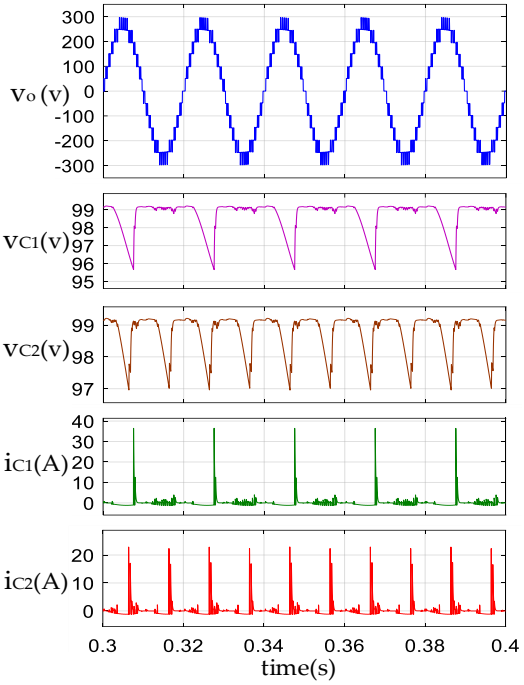
شکل 10 ولتاژ و جریان بار



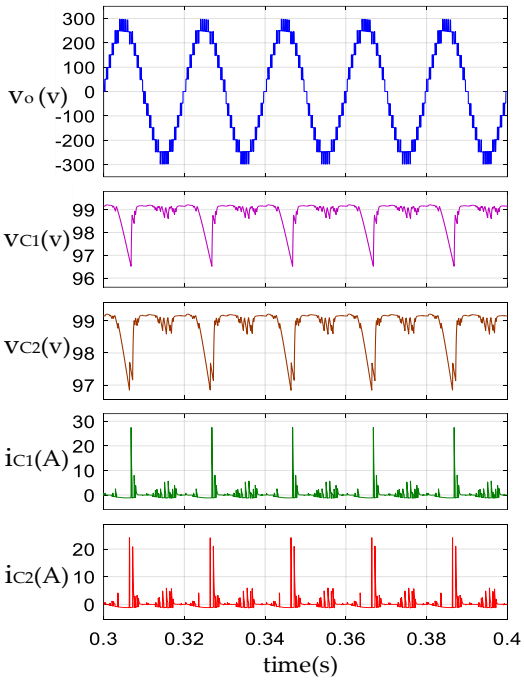
شکل 11 ولتاژ و جریان خروجی با تغییر پویای بار

در شکل **12** و **13** ولتاژ دو سر بار، ریپل ولتاژ و تنش جریان دو خازن C_1 و C_2 به ترتیب با مدولاسیون معمولی و مدولاسیون ترکیبی بررسی شده است. مطابق شکل **12** بدون کلیدزنی ترکیبی، ریپل ولتاژ خازن C_1 برابر **3/9** ولت معادل **3/9** درصد و ریپل ولتاژ خازن C_2 برابر **2/1** ولت معادل **2/1** درصد است. همچنین تنش جریان خازن C_1 دارای حداکثر مقدار **37** آمپر و نیز حداکثر تنش جریان خازن C_2 برابر **23** آمپر است. مطابق شکل **13** کلیدزنی ترکیبی منجر به شارژ توزیع شده دو خازن C_1 و C_2 در محدوده کلیدزنی مابین دو سطح $+2V_{dc}$ و $+2.5V_{dc}$ در نیم تناوب مثبت و مابین سطوح $-2.5V_{dc}$ و $-3V_{dc}$ در نیم تناوب منفی می‌شود. این امر منجر به کاهش حداکثر ریپل ولتاژ خازن C_1 و نیز کاهش شدید ریپل ولتاژ خازن C_2 در نیم تناوب منفی می‌شود و شارژ توزیع شده پس از اتمام دو بازه مذکور انجام می‌شود. در نتیجه مطابق شکل **13** با اعمال مدولاسیون ترکیبی، ریپل ولتاژ دو خازن C_1 و C_2 برابر **2/2** ولت معادل **2/2** درصد شده است. همچنین تنش جریان خازن C_1 و C_2 به ترتیب محدود به حداکثر مقدار **26** آمپر و **23** آمپر شده است. در نتیجه به علت اعمال کلیدزنی ترکیبی در محدوده کلیدزنی مابین دو سطح $+2V_{dc}$ و $+2.5V_{dc}$ در نیم تناوب مثبت، ریپل ولتاژ و تنش جریان خازن C_1 به طور موثر کاهش یافته است. به طوری که ریپل ولتاژ خازن C_1 حدود **43** درصد و جریان هجومی آن **30** درصد نسبت به کلیدزنی معمولی کاهش پیدا کرده است. به علاوه در نتیجه اعمال کلیدزنی ترکیبی در محدوده کلیدزنی مابین دو سطح $-2.5V_{dc}$ و $-3V_{dc}$ در نیم تناوب منفی، ریپل ولتاژ و تنش جریان خازن C_2 در نیم تناوب منفی کاملا سرکوب و تقریبا حذف شده است.

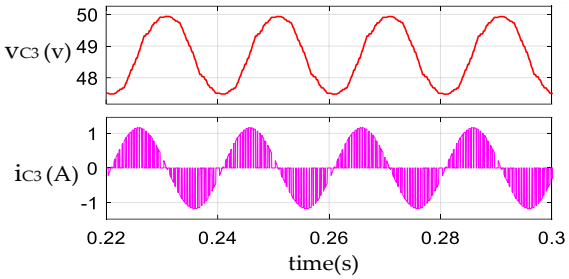
مطابق شکل **14** ریپل ولتاژ خازن C_3 برابر **2/5** ولت معادل **5** درصد است که در محدوده مجاز و مناسبی است. به علاوه مطابق شکل **14**، خازن C_3 در نیم تناوب مثبت ولتاژ خروجی در حال شارژ شدن و افزایش بوده و در نیم‌تناوب منفی ولتاژ خروجی، در حال دشارژ شدن و کاهش ولتاژ است که با اطلاعات ارائه شده در جدول **1** تطابق دارد. همچنین به علت وجود امپدانس بار در مسیر شارژ خازن C_3، این خازن دارای جریان هجومی نبوده و جریان عبوری از آن در سطوحی که خازن C_3 در مسیر بار قرار دارد برابر جریان بار با حداکثر مقدار **1/2** آمپر است و در سطوح دیگر جریان از آن عبور نمی‌کند. مطابق با شکل **12** تا شکل **14**، خازن‌های ساختار، دارای ریپل ولتاژ کمی بوده و همچنین افت ولتاژ ناچیزی دارند.



شکل 12 ریپل ولتاژ و تنش جریان خازن‌های C_1، C_2 بدون کلیدزنی ترکیبی



شکل 13 ریپل ولتاژ و تنش جریان خازن‌های C_1، C_2 با اعمال کلیدزنی ترکیبی



شکل 14 تنش ولتاژ و جریان خازن C_3

6- نتیجه‌گیری

این مقاله یک ساختار جدید اینورتر 13 سطحی مبتنی بر کلیدزنی خازنی با روش کلیدزنی شیفت فاز ترکیبی اصلاح شده را پیشنهاد می‌کند که قابلیت افزایندگی سه برابری ولتاژ را دارد. مدار ساختار پیشنهادی شامل 10 کلید، 2 دیود و 3 خازن است که با توالی مناسب شارژ و دشارژ در طول یک دوره تناوب مولفه اصلی، تعادل ولتاژ خازن‌ها را به صورت خودکار حاصل می‌کند. برای تولید سیگنال‌های گیت برای کلیدهای ساختار، از مدولاسیون پهنای پالس ترکیبی اصلاح شده استفاده شده است به علت اعمال کلیدزنی ترکیبی در محدوده کلیدزنی مابین دو سطح $+2V_{dc}$ و $+2.5V_{dc}$ در نیم تناوب مثبت، ریپل ولتاژ و تنش جریان خازن C_1 به طور موثر کاهش یافته است. به طوری که جریان هجومی خازن C_1 حدود **43** درصد و ریپل ولتاژ آن **30** درصد نسبت به کلیدزنی معمولی کاهش پیدا کرده است. به علاوه در نتیجه اعمال کلیدزنی ترکیبی در محدوده کلیدزنی مابین دو سطح $-2.5V_{dc}$ و $-3V_{dc}$ در نیم تناوب منفی، ریپل ولتاژ و تنش جریان خازن C_2 در نیم تناوب منفی کاملا سرکوب شده است. همچنین کاهش تعداد ادوات ساختار و نیز نیاز به تعداد خازن کمتر، سبب کاهش تلفات هدایتی اعم از تلفات هدایتی ناشی از بار و ناشی از شارژ و همچنین تلفات ریپل کمتر می‌شود. ساختار پیشنهادی با ساختارهای ارائه شده اخیر از حیث پارامترهای مختلف مقایسه شده و بیانگر برتری ساختار پیشنهادی است. مدار اینورتر پیشنهادی شبیه‌سازی شده و نتایج تحلیل شده است که بیانگر صحت عملکرد ساختار پیشنهادی است.

7- متغیرها

k	تعداد سیگنال‌های حامل
$f_{sw,dev}$	فرکانس کلیدزنی ادوات
$f_{cr,PS}$	فرکانس حامل شیفت فاز معمولی
$f_{cr,HPS}$	فرکانس حامل شیفت فاز ترکیبی
Z_L	امپدانس بار
ω	فرکانس زاویه‌ای ولتاژ خروجی
x_i	نقاط تغییر سطح iام
α_i	درصد ریپل مجاز ولتاژ خازن C_i
φ	زاویه فاز بار اهمی-سلفی
C_{oss}	خازن پارازیتی کلید قدرت
V_{Si}	ولتاژ مسدودکنندگی کلید در لحظه کلیدزنی
ΔV_{Cn}	ریپل ولتاژ ناشی از nامین دوره دشارژ پیوسته
N_n	تعداد دوره‌های شارژشدن
r_s	مقاومت در حالت روشن کلید
D_k	دوره کاری سطح kام
η	راندمان اینورتر

8- مراجع

[1] M. Hosseinpour, S. Ebrahimzadeh, Resonance damping of LCL filters using integral-proportional capacitor current feedback method for PEMFC power injection into LV networks, *Journal of Renewable and New Energy*, Vol. 12, No. 1, pp. 57-71, 2025. (in Persian)

[2] H. khodkam, The best approach to build a solar power plant to increase efficiency and location in several climatic climates of Iran using AHP software, *Journal of Renewable and New Energy*, Vol. 11, No. 1, pp. 148-157, 2024, (in Persian)

[3] S. Kumari, N. Sandeep, A. K. Verma, T-type seven-level inverter with triple voltage-boosting gain, *IEEE Journal of Emerging and Selected Topics in Industrial Electronics*, Vol. 4, No. 3, pp. 899-906, 2023.

[4] N. Sandeep, J. S. Ali, An improved quadruple-boost switched-capacitor-based nine-level inverter, *IEEE Transactions on Power Electronics*, Vol. 38, No. 8, pp. 9335-9339, 2023.

[5] S. Pourfarrokh, J. Adabi, F. Zare, A novel multilevel inverter with self-balancing capability of capacitors voltage; structure, modulation, and operation, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Vol. 11, No. 2, pp. 1854-1864, 2022.

[6] R. Barzegarkhoo, Y. P. Siwakoti, R. P. Aguilera, M. N. Habib Khan, S. S. Lee, F. Blaabjerg, A novel dual-mode switched-capacitor five-level inverter with common-ground transformerless concept, *IEEE Transactions on Power Electronics,* Vol. 36, No. 12, pp. 13740-13753, 2021.

[7] M. N. Habib Khan, M. Forouzesh, Y. P. Siwakoti, L. Li, F. Blaabjerg, Switched capacitor integrated (2n+ 1)-level step-up single-phase inverter, *IEEE Transactions on Power Electronics*, Vol. 35, No. 8, pp. 8248-8260, 2019.

[8] K. P. Panda, P. R. Bana, G. Panda, A reduced device count single DC hybrid switched-capacitor self-balanced inverter, *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 68, No. 3, pp. 978-982, 2020.

[9] T. Roy, P. K. Sadhu, A step-up multilevel inverter topology using novel switched capacitor converters with reduced components, *IEEE Transactions on industrial electronics*, Vol. 68, No. 1, pp. 236-247, 2020.

[10] M.D. Siddique, S. Mekhilef, A. Sarwar, A. Alam, N. M. Shah, Dual asymmetrical dc voltage source based switched capacitor boost multilevel inverter topology, *IET Power Electronics*, Vol. 13, No. 7, pp. 1481-1486, 2020.

[11] K. P. Panda, P. R. Bana, G. Panda, A switched-capacitor self-balanced high-gain multilevel inverter employing a single DC source, *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 67, No. 12, pp. 3192-3196, 2020.

[12] Y. Ye, S. Chen, X. Zhang, Y. Yi, Half-bridge modular switched-capacitor multilevel inverter with hybrid pulsewidth modulation, *IEEE Transactions on Power Electronics*, Vol. 35, No. 8, pp. 8237-8247, 2020.

[13] Y. Ye, G. Zhang, X. Wang, Y. Yi, K. W. E.Cheng, Self-balanced switched-capacitor thirteen-level inverters with reduced capacitors count. *IEEE Transactions on Industrial Electronics*, Vol. 69, No. 1, pp. 1070-1076, 2021.

[14] K. M. Kim, J. K. Han, G. W. Moon, A high step-up switched-capacitor 13-level inverter with reduced number of switches, *IEEE Transactions on Power Electronics*, Vol. 36, No. 3, pp. 2505-2509, 2020.

[15] S. Foti, T. Scimone, A. Oteri, G. Scelba, A. Testa, A reduced switch count, self-balanced, 13-level inverter based on a Dual T-Type configuration, *IEEE Transactions on Power Electronics*, Vol. 38, No. 9, pp. 11010 – 11022, 2023.

[16] T. Roy, P. K. Sadhu, A. Dasgupta, Cross-switched multilevel inverter using novel switched capacitor converters, *IEEE transactions on industrial electronics*, Vol. 66, No. 11, pp. 8521-8532, 2019.

[17] F. Esmaeili, H. R. Koofigar, H. Qasemi, A novel single-phase multilevel high-gain inverter with low voltage stress, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Vol. 10, No. 5, pp. 6084-6092, 2023.

[18] P. Bhatnagar, A. K. Singh, K. K. Gupta, Y. P. Siwakoti, A switched-capacitors-based 13-level inverter. *IEEE Transactions on Power Electronics*, Vol. 37, No. 1, pp. 644-658, 2021.

[19] V. Anand, V. Singh, A 13-level switched-capacitor multilevel inverter with single DC source, *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Vol. 10, No. 2, pp. 1575-1586, 2021.

[20] S. Islam, M.D. Siddique, A. Iqbal, S. Mekhilef, A 9-and 13-Level Switched-Capacitor-Based Multilevel Inverter With Enhanced Self-Balanced Capacitor Voltage Capability. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Vol. 10, No. 6, pp. 7225-7237, 2022.

[21] K. Jena, C. K. Panigrahi, K. K. Gupta, A 6X-voltage-gain 13-level inverter with self-balanced switched-capacitors, *CPSS Transactions on Power Electronics and Applications*, Vol. 7, No. 1, pp. 94-102, 2022.

[22] N. Sandeep, A 13-level switched-capacitor-based boosting inverter. *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 68, No. 3, pp. 998-1002, 2022..

[23] B. Kumar, H. K. Janardhan, H. Javvaji, B. Jyothi, A. Marthanda, D. Kadam, A Single Source Thirteen Level Switched Capacitor Boost Inverter for PV applications, *El-Cezeri*, Vol. 11, No. 1, pp. 23-29, 2024.

[24] R. Anand, R. K. Mandal, A novel 13-level switched-capacitor step-up inverter with reduced component count. *International Journal of Circuit Theory and Applications,* Vol. 52, No. 10, pp. 5295-5317, 2024.